Nguyễn Tiến Nhật

MSSV:1613133

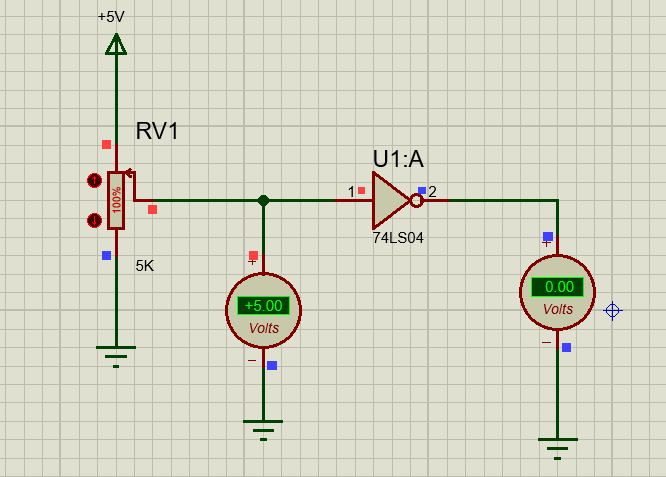
**THỰC HÀNH MẠCH ĐIỆN TỬ & KĨ THUẬT SỐ**

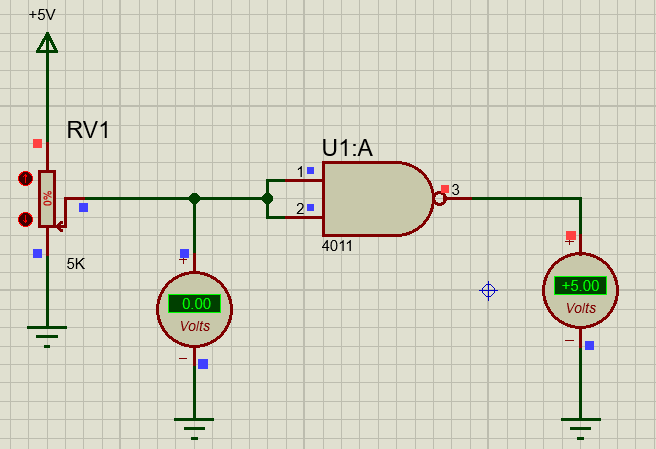
**Báo cáo thực hành tuần số 4**

**BÀI 4-KHẢO SÁT CỔNG LOGIC VÀ FLIP FLOP**

**1)Đặc tính của các vi mạch TTL VÀ CMOS**

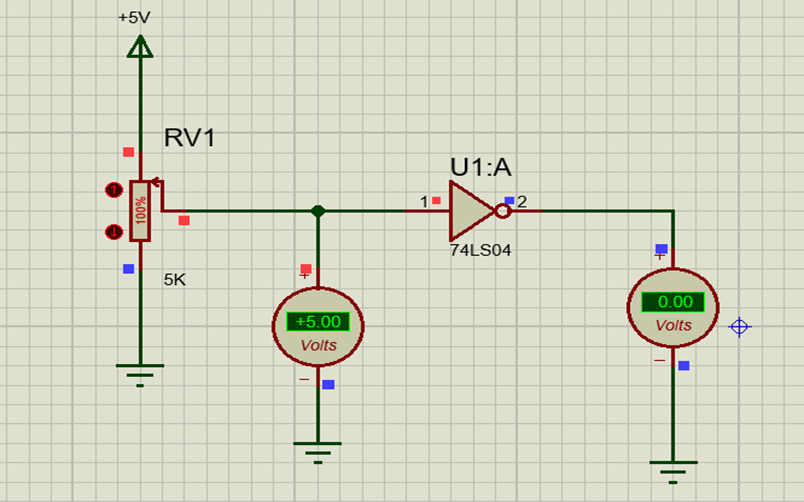
**4.3.2)Vẽ đặc tuyến truyền đạt V0=f(Vi)**





Sơ đồ mạch điện khảo sát cổng NOT

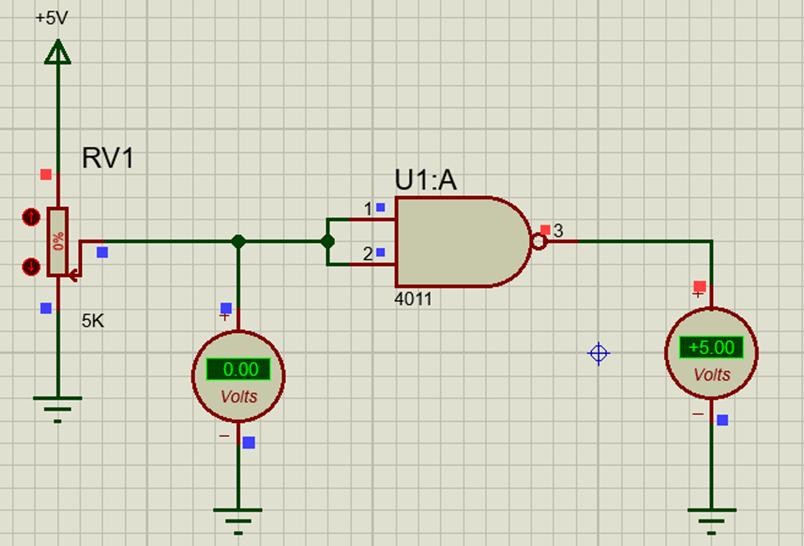
**a)khảo sát cổng NOT dùng IC 74LS04**



Kết quả khảo sát đặc tyến truyền dùng IC 74LS04

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Vi(V) | 0 | 0,25 | 0,5 | 0,75 | 1 | 1,01 | 1,25 | 1,5 | 1,75 |
| V0(V) | 5 | 5 | 5 | 5 | 5 | 2 | 2 | 2 | 2 |
| Vi(V) | 2 | 2,25 | 2,54 | 2,5 | 2.75 | 3 | 3,25 | 3,5 | 3,75 |
| V0(V) | 2 | 2 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| Vi(V) | 4 | 4,25 | 4,5 | 4,75 | 5 |
| V0(V) | 0 | 0 | 0 | 0 | 0 |

**b)Khảo sát dùng IC 4011**



Ta được kết quả như bảng sau:

Kết quả khảo sát đặc tuyến truyền dùng IC 4011

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Vi(V) | 0 | 0,25 | 0,5 | 0,75 | 1 | 1,25 | 1,5 | 1,75 | 2 |
| V0(V) | 5 | 5 | 5 | 5 | 5 | 5 | 5 | 5 | 5 |
| Vi(V) | 2,05 | 2,25 | 2,5 | 2,75 | 3 | 3,25 | 3,5 | 3,75 | 4 |
| V0(V) | 2,5 | 2,5 | 2,5 | 2,5 | 2,5 | 2,5 | 0 | 0 | 0 |
| Vi(V) | 4,25 | 4,5 | 4,75 | 5 |
| V0(V) | 0 | 0 | 0 | 0 |

A close up of a map

Description automatically generated

Text, letter

Description automatically generated

**4.3.3)Ngõ ra cực thu hở, ngõ ra ba trạng thái**

**a) ngõ ra cực thu hở**

Dùng 1/6 74LS05 khảo sát, thay đổi ngõ vào và quan sát khi:

**a1/ Chưa mắc thêm RP và nguồn ở ngõ ra:**

Kết luận: Ta quan sát kết quả thực hiện trên proteus, thấy được khi đầu vào cho mức logic 1, qua IC 74LS05, tín hiệu đầu ra đảo là 0 và chưa đo được điện thế. Còn khi đảo đầu vào với mức logic 0 thì đầu ra hiện tại không nhận dạng được mức logic khi đó và đồng hồ vẫn cho giá trị 0.

Diagram, schematic

Description automatically generated

Diagram, schematic

Description automatically generated

**a2/ Mắc thêm RP = 4,7kΩ và nguồn 5V ở ngõ ra:**

Diagram, schematic

Description automatically generated

Diagram

Description automatically generated

Kết luận: Ta quan sát kết quả thực hiện trên proteus, thấy được khi chưa mắc điện trở qua IC 74LS05, tín hiệu đầu ra đảo là 0 với Vi ≥ 2.34 và Vi ≤ 2.29 tín hiệu đầu ra ở trạng thái cấm. Khi chúng ta mắc thêm RP và chỉnh biến trở ta nhận thấy rằng Vi biến đổi từ o đên 5V tín hiệu đầu ra luôn ở mức 0.

**b) Ngõ ra ba trạng thái:**

Dùng 1/4 74LS125 kiểm tra trạng thái và nhận xét:

A close up of text on a white background

Description automatically generated

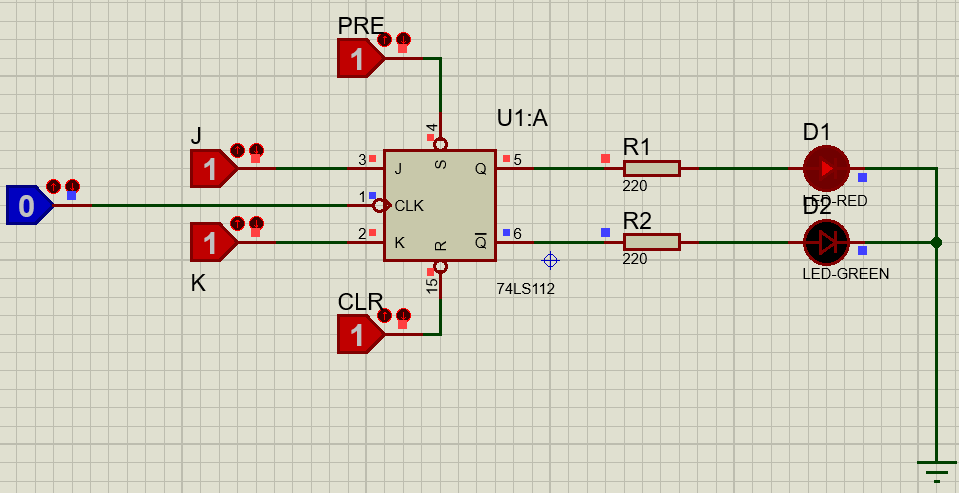
|  |  |  |  |
| --- | --- | --- | --- |
| A | E | Y | V0(V) |
| 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 0 |
| 1 | 0 | 1 | 5 |
| 1 | 1 | Không đổi | 2,5 |

Kết luận: Với IC 74LS125, ta thấy nếu ngõ A đặt ở mức logic 1 thì ngõ ra Y thay đổi theo ngõ vào E (cùng trạng thái ngõ vào). Nếu đặt A ở mức logic 1 thì ngõ ra Y luôn là 0 (bất chấp ngõ vào) với mức điện thế ra bằng 0V.

**2. Hoạt động Flip-Flop:**

**A. JK-FF (IC 74LS112):**

**a1) Kiểm tra lại bảng hoạt động JK-FF và hai chức năng ngõ PRE,CLR.**



|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| PRE | CLR | J | K | CLK | Q | Q’ |
| 0 | 0 | X | X | X | CẤM | |
| 0 | 1 | X | X | X | 1 | 0 |
| 1 | 0 | X | X | X | 0 | 1 |
| 1 | 1 | 0 | 0 | ꜜ | 0 | 1 |
| 1 | 1 | 0 | 1 | ꜜ | 0 | 1 |
| 1 | 1 | 1 | 0 | ꜜ | 1 | 0 |
| 1 | 1 | 1 | 1 | ꜜ | Q’ đảo trạng thái | |

Kết luận: Flip-Flop JK hoạt động ở xung cạnh dưới, khi khảo sát, thay đổi các trạng thái ở J và K, ta phải thay đổi xung CLK bằng cách tạo một xung cạnh xuống để quan sát được sự thay đổi của đầu ra. Kết quả khảo sát thu được như bảng hoạt động trên.

**a2) Mắc mạch thanh ghi JK-FF, quan sát Q1 Q2 bằng LED và vẽ giản đồ dạng sóng theo CK.**

A picture containing indoor, sky

Description automatically generated

Ta quan sát được dạng xung của mạch như sau:

A picture containing diagram

Description automatically generated

Nhận xét: Mạch thanh ghi dùng 2 Flip-Flop JK thay đổi tín hiệu tuần tự khiến 2 đèn led gắn vào đầu Q1 và Q2 tắt sáng tuần tự (00 – 10 – 01 – 11) với chu kỳ sáng tắt đúng bằng chu kỳ xung CLK.

**a3/ Mắc mạch phát hiện dữ liệu tuần tự:**

A picture containing lot

Description automatically generated

Bảng hoạt động mạch phát hiện dữ liệu tuần tự

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| PRE | CLR | A | B | Q | Q’ |
| 0 | 0 | X | X | Cấm | |
| 1 | 0 | X | X | 0 | 1 |
| 0 | 1 | X | X | 1 | 0 |
| 1 | 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1(bật trước) | 1(bật sau) | 1 | 0 |
| 1 | 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 1(bật sau) | 1(bật trước) | 0 | 1 |

\*Nhận xét: Đầu tiên, ta đặt mức logic ở 2 đầu vào A và B là 0.

- Khi bật ở A một tín hiệu logic 1 trước, rồi mới bật ở B: Tín hiệu đầu ra Q xuất

hiện là 1.

- Khi bật ở B một tín hiệu logic 1 trước, rồi mới bật ở A: Tín hiệu đầu ra Q xuất

hiện là 0.

\*Ứng dụng: Trong các cuộc thi sẽ biết ai là người nhấn chuông trước, ai là người nhấn chuông sau

Diagram, schematic

Description automatically generated

**B. D-FF (IC 74LS74):**

**b1/ Kiểm chứng lại hoạt động của D-FF:**

A picture containing text

Description automatically generated

Bảng hoạt động D-FF

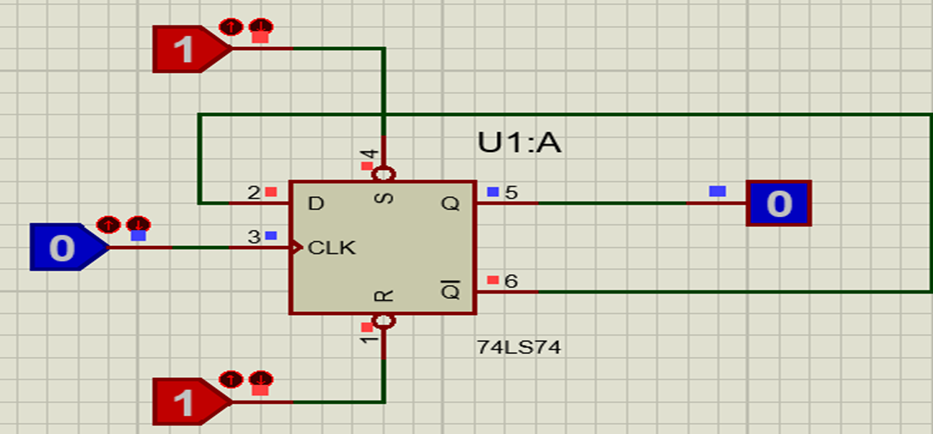
|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| S | R | D | CLK | Q |
| 0 | 0 | X | X | CẤM |
| 0 | 1 | X | X | 1 |
| 1 | 0 | X | X | 0 |
| 1 | 1 | 1 | ꜛ | 1 |
| 1 | 1 | 0 | ꜛ | 0 |

Kết luận: Flip-Flop D dùng IC 74LS74 hoạt động ở xung cạnh lên của CLK, khi có xung cạnh lên của CLK thì đầu ra thay đổi theo đúng đầu vào D. Khi ngõ S đặt ở mức logic 1, R đặt ở mức 0 thì đầu ra luôn ở mức 1 bất chấp xung CLK và ngõ vào D. Ngược lại, khi ngõ CLR đặt ở mức logic 1, S đặt ở mức logic 0 thì Q luôn là 0 bất chấp xung CLK và đầu vào D.

**b2/ Mắc mạch Flip-Flop D có sử dụng hồi tiếp:**

Bảng hoạt động của flip flop D

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| S | R | D | CLK | Q |
| 0 | 1 | X | X | 1 |
| 1 | 0 | X | X | 0 |
| 1 | 1 | Q’ | ꜛ | Q’(đảo trạng thái) |



Kết luận: Flip-Flop D dùng IC 74LS74 dùng hồi tiếp từ ngõ ra Q’ về D khi ngõ S và CLK đặt ở 1 thì khi thay đổi xung CLK ở xung cạnh lên, ngõ ra đảo trạng thái. Khi S ở mức logic 1 và R ở mức logic 0 thì ngõ ra là 0, ngược lại nếu S ở mức logic 0 và R ở mức logic 1 thì ngõ ra là 1.

Giản đồ dạng sóng Q theo CK

